

文章编号:1007-2780(2010)01-0145-04

基于 DSP+FPGA 的实时视频信号处理系统设计

苏宛新¹,程灵燕^{1,2},程飞燕³

(1. 中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033, E-mail: chengly1983@163.com;
2. 中国科学院 研究生院,北京 100039; 3. 兰州大学 信息科学与工程学院,甘肃 兰州 730000)

摘 要: 实时视频信号处理的实时性和跟踪算法的复杂性是一对矛盾,为此采用 DSP+FPGA 的架构设计,同时满足实时性和复杂性的要求,提高了系统的整体性能。DSP 作为主处理器,利用其高速的运算能力,快速有效地处理复杂的跟踪算法;FPGA 作为协处理器,完成视频图像的接收、存储、预处理,使设计具有更大的灵活性。系统采用了形心跟踪和相关跟踪两种算法。实验证明,该系统可以稳定地实时跟踪运动目标。

关 键 词: 实时图像处理;DSP+FPGA;目标跟踪

中图分类号: TP311 **文献标识码:** A

Design of Real-Time Video Signal Processing System Based on DSP+FPGA

SU Wan-xin¹,CHENG Ling-yan^{1,2}, CHENG Fei-yan³

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences, Changchun 130033 China, E-mail: chengly1983@163.com;
2. Graduate School of Chinese Academy of Science, Beijing 100039, China;
3. School of Information Science and Engineering, Lanzhou University, Lanzhou 730000, China)

Abstract: Focusing on the contradiction of the real-time image processing and real-time tracking in the real-time video signal processing system, a new real-time image processing system based on DSP and FPGA which can improve the system performance was introduced. DSP was used as the main processor to fast and effectively handle the complex recognition tracking algorithm because of its high-speed operation ability. FPGA was used as coprocessor to complete video image receiving, storing, preprocessing, etc. to make the design more flexibly. The centroid tracking and relevant track algorithm were adopted in the system. Experimental results showed that the system can track the moving targets in real-time quickly and stably.

Key words: real-time image processing; DSP+FPGA; target tracking

1 引 言

实时视频信号处理技术的应用领域十分广泛,民用领域如机器人视觉、资源探测、天气预报和各种医学图像分析,军用领域如导弹的精确制导、战场的动态分析等,都利用了实时视频信号处

理技术^[1]。这些应用对实时性和识别跟踪精度等都有较高的要求,因此如何处理实时性和复杂的识别跟踪算法这对矛盾,是进一步提高系统性能的关键。

本文设计并实现了一种基于 DSP+FPGA 的实时数字视频信号处理系统。DSP 作为主处

理器,处理复杂的跟踪算法;FPGA 作为协处理器,接收来自 COMS 相机的数字视频信号,控制视频数据缓存至 SDRAM 并进行图像预处理。整个系统具有很强的处理能力,很好地解决了实时性和复杂的跟踪算法间的矛盾,与单独使用 DSP 或者 FPGA 的系统相比较,系统性能得到了很大的提高。

2 系统总体设计

采用 FPGA+DSP 的系统结构,具有处理效率高、开发周期短、支持更高计算处理能力的优点,是开发难度和系统成本的折衷^[2-5]。图 1 为系统的总体框图。

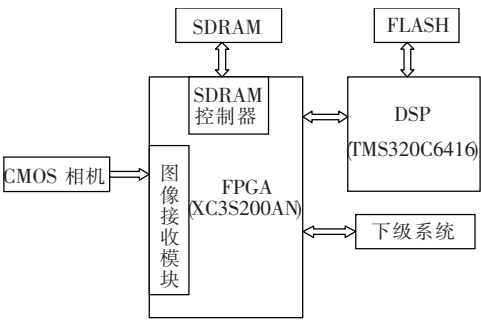


图 1 系统总体框图
Fig. 1 Overall diagram of system

系统的主处理器选用 TI 公司高性能的定点 DSP TMS320C6416。TMS320C6416 是 TI 公司推出的高速定点 DSP,时钟频率最高可达 1 GHz,其最主要的特点是采用了先进的甚长指令结构 (VLIW),每个时钟周期可以执行 8 条指令,所有指令都可以条件执行,完成 1 024 点定点 FFT 的时间只需 10 μ s,比传统 DSP 快 1~2 个数量级,其高速处理能力优势明显^[2]。

FPGA 选用 Xilinx 公司的 XC3S200AN。XC3S200AN 是 Xilinx 公司 Spartan-3AN 系列的 FPGA,具有 200k 的系统门,288 kB 的 block RAM,16 个专用乘法器,4 个 DCM,最大可达 195 个用户 I/O 引脚,高达 4 MB 的集成式 Flash 存储器,可用于器件配置及系统资源,节省了宝贵的板上空间,降低了成本。

系统的工作过程是:图像接收模块接收从 CMOS 相机传来的数字图像数据并将其存储到 SDRAM(由 SDRAM 控制器控制对 SDRAM 的

读写)。然后 FPGA 读取 SDRAM 中的图像数据进行如中值滤波等预处理的工作,并将结果再次存入 SDRAM。此时,FPGA 的图像接收、SDRAM 控制器控制读写、图像预处理算法等均完成。随后,DSP 读取 SDRAM 中预处理后的数据进行目标跟踪,得出目标的位置和大小等,并将结果通过 RS232 串口传给下级系统。

2.1 图像接收模块

该模块的主要功能是接收 CMOS 相机输出的数字图像信号,包括同步信号和数据信号,并将这些数字图像信号暂存到输入 FIFO 中。FIFO 接收来自相机的图像数据并进行缓冲,产生符合 SDRAM 控制器位宽的数据信号。FIFO 半满时发出半满信号,通知 SDRAM 控制器读取数字图像数据到 SDRAM。图像接收和存储可以同步进行,便于实现实时跟踪。

2.2 SDRAM 控制器模块

由于图像数据流的数据量大、实时性要求高,所以需要高速大容量的存储器作为图像数据缓存。SDRAM 具有容量大、价格低廉等优点,成为图像处理中常用的数据存储器。但是,SDRAM 控制较复杂,需要处理预充、刷新、换行等操作,因此有必要设计 SDRAM 控制器来完成与 SDRAM 的接口。在以 SDRAM 为缓存的系统中,使用可编程器件对其进行控制具有很强的灵活性^[6,7]。本设计采用 MICRON 公司的 MT48LC16M16A2,它是单片容量为 256 MB 的 SDRAM。图 2 是 SDRAM 控制器的功能框图。主要模块的功能为:

- (1)模式配置模块:配置 SDRAM 的模式寄存器。
- (2)刷新模块:为 SDRAM 提供刷新控制以保持内部数据。
- (3)主状态机:对各种命令进行译码,仲裁、控制状态转移。直接控制 SDRAM,将用户产生的地址命令进行解析,产生读、写、刷新等一系列操作。对 SDRAM 发出的各种命令要符合特定的时序要求,在上电时还必须完成对 SDRAM 的初始化工作。

(4)地址/数据选择:为 SDRAM 的读写生成数据路径。建立用户与 SDRAM 的数据通道,在 SDRAM 和用户接口之间传递需要写入或者读出的数据,并且调整对应读、写操作的 DQM 信号时

序,使其满足 SDRAM 的要求。缓存从 SDRAM 中读出的数据,由于直接读出的速度非常高,直接处理会对后端产生很大的压力,因此需要进行缓存之后才送到 DSP 进行后续处理。

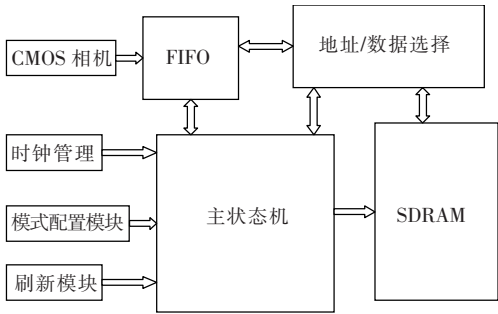


图 2 SDRAM 控制器功能框图

Fig. 2 Function diagram of SDRAM controller

2.3 图像处理模块

本设计选用 TMS320C6416 作为跟踪算法的主处理器。TMS320C6416 有丰富的 L2 RAM 资源(00000000 - 000FFFFF),系统运行时通过 EDMA 方式把程序和数据搬运到内部 RAM,从而实现整个系统程序高速运行,非常适合实时图像处理。为了满足系统实时性的要求,采用 Ping-Pong 缓存方案实现图像数据的传输,对所有的输入和输出数据流使用两组数据缓冲区。当 EDMA 向(或从)Ping 缓冲区传输数据时,CPU 可以对 Pong 缓冲区内的数据进行操作。当 EDMA 和 CPU 的活动均完成时,它们之间进行切换,EDMA 向(或从)Pong 缓冲区传输数据,CPU 对 Ping 缓冲区的数据进行操作。如此循环,则 EDMA 对数据的搬运和 CPU 数据的处理可以同时进行,从而大大提高系统的效率。使用 EDMA 的参数连接可以实现 EDMA 传输 Ping-Pong 缓冲区的自动切换而不需 CPU 的干预。当然,实现这种切换的前提是在切换到一个缓冲区前 CPU 已经完成对该缓冲区数据的处理。在实时图像处理中 CPU 处理一帧图像的时间比采集一帧图像的时间要短,所以这个前提是可以保证的。为了实时跟踪运动目标,采用在视频信号的正程处理图像信号和提取跟踪信息,在视频信号的消息期间将处理得到的目标位置大小等传给下级系统。

3 系统软件流程

系统上电后,TMS320C6416 实现自引导,从

FLASH 拷贝用户程序到内部 RAM 之后转入中断等待状态。FPGA 初始化后接收当前视场中的目标图像数据并将其存储到 SDRAM。FPGA 预处理目标图像数据,进行如中值滤波等预处理的工作,处理完之后再次存入 SDRAM 并触发中断(本设计采用 EXTINT4)给 TMS320C6416,通知 DSP 取走数据。所有的图像数据搬运都可由 EDMA 在 CPU 处理的后台进行。TMS320C6416 直接从内部 RAM 读取图像数据进行处理。TMS320C6416 处理完图像数据后,通过 RS232 串口将目标的位置等信息传送给下级系统,等待下一帧图像的到来。软件流程图如图 3 所示。

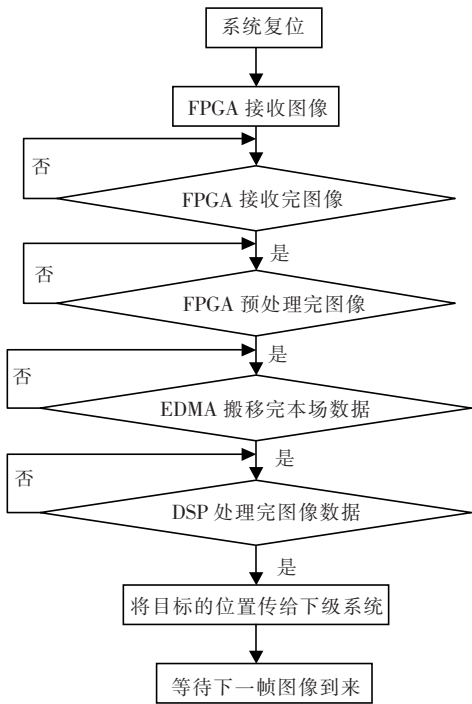


图 3 软件流程图

Fig. 3 Software flowchart

4 目标跟踪算法

视频跟踪有波门跟踪和相关跟踪两种方式。常用的波门跟踪方法有形心跟踪、边缘跟踪、面积平衡跟踪等。本文采用形心跟踪和相关跟踪算法。

4.1 形心跟踪算法

目标的形心是目标图像上一个确定的点,当目标姿态变化时,这个点的位置变动很小,所以用形心跟踪目标比较平稳,而且抗干扰能力强。

根据公式(1)可以得到目标的形心。 $f(j,k)$

是图像在 (j,k) 点的像元灰度值,分割后值为 1 或 0, $(\overline{x},\overline{y})$ 为目标区域的形心。

$$\begin{aligned}\overline{x} &= \frac{\sum_{j=1}^m j \sum_{k=1}^n f(j,k)}{\sum_{k=1}^m \sum_{j=1}^n f(j,k)} \\ \overline{y} &= \frac{\sum_{k=1}^n k \sum_{j=1}^m f(j,k)}{\sum_{k=1}^m \sum_{j=1}^n f(j,k)}\end{aligned}\tag{1}$$

形心跟踪的应用是在精确分割出目标图像的前提下实现的,用自适应阈值与区域生长法相结合的方式可以比较精确地分割出目标。波门的尺寸略大于目标图像,使波门紧紧套住目标图像,避免目标受波门外背景和噪声干扰的影响。波门还

可以控制所要处理的图像大小,仅对感兴趣的局部图像进行实时处理。因此形心跟踪算法非常适合于实时跟踪运动目标。

4.2 相关跟踪算法

相关跟踪又称图像配准法。相关跟踪通过求取基准图像(目标模板)与被测量目标图像相似度来获取目标的相对坐标,求出目标位置。将目标图像上各点和目标模板上对应点进行灰度差相加求和,灰度差的和越小则两图像越相似,为零时,则表示两图像完全匹配。

设实时图像为 $S(x,y)$,大小为 $n\times m$ 个像素,模板图像 $Q(x,y)$,大小为 $u\times v$ 个像素,其中 $0\leq u\leq n, v\leq m$ 。 (k,h) 为模板图像在景物图像中的偏移值。 $R(k,h)$ 为相关系数。

$$R(k,h) = \frac{1}{u\times v} \sum_{x=1}^k \sum_{y=1}^h |Q(x,y) - S(x+k,y+h)| \qquad 0\leq k,h\leq m-v\tag{2}$$

相关跟踪无需对图像进行分割和特征提取处理。在原始图像数据上进行运算,保留了图像的全部信息。因此相关跟踪比形心跟踪能够利用更多的目标信息,这在许多复杂的场景中是一种切实可行的跟踪测量方法。但是相关跟踪算法的计算量较大,要求跟踪目标的运动速度不能过快,否则会因为前一场取得的目标模板在下一场图像中无法匹配到跟踪位置,导致跟踪失败。

本文提出的硬件设计已经通过实验验证,满足了系统的性能要求,可在实际系统中稳定可靠地运行。实验证明:在该硬件平台上加载形心跟踪算法,搜索范围为 120×80 时,跟踪用时 0.527 ms。在该硬件平台上加载相关跟踪算法时,波门大小为 100×80 ,模板大小为 60×48 ,跟踪用时 5.5 ms。处理一场数据需要的时间不到 18 ms,

小于 CCIR 标准 20 ms 的场周期,完全可以满足实时跟踪的要求。

5 结 论

为了解决实时数字视频信号处理系统中实时跟踪和复杂的跟踪算法这一矛盾,采用了 DSP+FPGA 架构的系统设计。FPGA 作为协处理器,完成视频图像的接收、存储、预处理以及各接口的逻辑时序控制,使设备具有更大的灵活性。速度较快的 DSP 作为主处理器,处理复杂的跟踪算法,完成针对不同目标的跟踪算法。形心跟踪和相关跟踪算法结合使用,提高了跟踪的稳定性。整个系统具有很高的处理能力,实现了稳定可靠的实时跟踪。

参 考 文 献:

[1] 刘党辉,沈兰荪. DSP 芯片及其在图像技术中的应用 [J]. 测控技术,2001,20(5):16-23.
[2] 季昱,林俊超,余本喜. DSP 嵌入式应用系统开发典型案例 [M]. 北京:中国电力出版社,2005.
[3] 张耀,张覃平. 一种用于电视跟踪的实时视频图像处理平台设计[J]. 光电工程,2001,28(6):63-65.
[4] 李尊民. 电视图像自动跟踪的基本原理 [M]. 北京:国防工业出版社,1998.
[5] 吕亮,吴嗣亮. DSP 十 FPGA 实时信号处理系统中 FPGA 设计的关键问题 [J]. 微型计算机信息,2005,21(5):80-81.
[6] 李成文. 一种用 VHDL 语言设计的 SDRAM 控制器及其应用 [J]. 航空计算技术,2007,37(5):73-76.
[7] 王蓦,丁铁夫. 高速图像存储系统中 SDRAM 控制器的实现 [J]. 液晶与显示,2006,21(1):48-52.